

DERWENT-ACC-NO: 1986-216951

DERWENT-WEEK: 198633

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Flip-chip integrated circuit package
module - has
pellets bonded on substrate via bump
electrodes, wiring
pattern of chip placed upward, and
electrode on aluminium
NoAbstract Dwg 3/3

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 1984JP-0270853 (December 24, 1984)

PATENT-FAMILY:

PUB-NO	PUB-DATE	
LANGUAGE	PAGES	MAIN-IPC
JP 61150250 A	July 8, 1986	N/A
006	N/A	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 61150250A	N/A	
1984JP-0270853	December 24, 1984	

INT-CL (IPC): H01L023/34

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: FLIP CHIP INTEGRATE CIRCUIT PACKAGE MODULE
PELLET BOND SUBSTRATE
BUMP ELECTRODE WIRE PATTERN CHIP PLACE UP
ELECTRODE ALUMINIUM
NOABSTRACT

DERWENT-CLASS: U11

EPI-CODES: U11-D; U11-D02; U11-D03B;

⑫ 公開特許公報 (A) 昭61-150250

⑬ Int.Cl.
H 01 L 23/34識別記号
H 01 L 23/34庁内整理番号
6835-5F

⑭ 公開 昭和61年(1986)7月8日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特願 昭59-270853

⑰ 出願 昭59(1984)12月24日

⑱ 発明者 上松 強志 小平市上水本町1450番地 株式会社日立製作所デバイス開発センター内

⑲ 発明者 関根 康 小平市上水本町1450番地 株式会社日立製作所デバイス開発センター内

⑳ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代理人 弁理士 高橋 明夫 外1名

明細書

発明の名称 半導体装置

特許請求の範囲

1. 一または二以上のペレットがペレット取付基板にバンプ電極を介して取付けられている半導体装置であって、ペレットの配線形成面がパッケージ基板の非対向面となるように取付けられていることを特徴とする半導体装置。
2. ペレットとペレット取付基板の隙間に熱伝導性の良好な部材を充填してなることを特徴とする特許請求の範囲第1項記載の半導体装置。
3. 热伝導性の良好な部材が半田であることを特徴とする特許請求の範囲第2項記載の半導体装置。
4. ペレットの配線形成面とバンプ電極がペレット内部を垂直方向に貫通する配線によって電気的導通が達成されていることを特徴とする特許請求の範囲第1項記載の半導体装置。
5. 配線が導電性良好な金属の拡散層によって形成されていることを特徴とする特許請求の範囲第4項記載の半導体装置。

6. 金属がアルミニウムであることを特徴とする特許請求の範囲第5項記載の半導体装置。

7. 配線がペレットに形成されたスルーホール内部に設けられていることを特徴とする特許請求の範囲第4項記載の半導体装置。

発明の詳細な説明

【技術分野】

本発明は、ペレットをフリップチップボンディングしてなる半導体装置の放熱構造に適用して有効な技術に関するものである。

【背景技術】

ペレット取付基板に形成されている電極とペレットとの電気的接続方法として、いわゆるフリップチップボンディング方式がある。

このフリップチップ方式は、ワイヤレスボンディングの一つであって、通常ペレットの配線形成面をペレット取付基板に対向させ、半田等からなるバンプ電極を介して該ペレットを前記基板の電極に取付けることにより、ペレットとペレット取付基板との電気的接続を達成するものである。

このフリップチップ方式は、いわゆるマザーボードに複数のペレットを実装して高密度実装を可能にし、また高速で信号が取り出せる点等から今後需要が増加することが予想される。

ところで、フリップチップ方式による実装では、半導体装置の演算時に発生する熱をどのようにして外部に放出させるかが問題となる。

すなわち、この方式ではペレットとペレット取付基板との接続は微小なパンプ電極のみでしかなされていないため、ペレットに発生した熱の放熱経路が十分に確保できず、半導体装置の高熱化を招き、誤動作の原因となることが本発明者によつて明らかにされたのである。

また、フリップチップ方式では、ペレットは配線形成面がペレット取付基板に対向した状態で取付けられるため、ペレット実装後に配線不良等の検査を行うことが不可能であることも本発明者によつて明らかにされた。

なお、フリップチップ方式による実装に関して詳しく述べてある例としては、日刊工業新聞社、

昭和56年7月30日発行「電子部品の組立入門」(鶴澤高吉著)P90~94がある。

【発明の目的】

本発明の目的は、特に高集積度ペレットを搭載してなる半導体装置の演算時に発生する熱を効果的に除去する技術を提供することにある。

本発明の他の目的は、基板に実装した状態のままでペレット上の配線不良等の検査を可能にすることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【発明の概要】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

すなわち、ペレットをペレット取付基板にパンプ電極を介して取付けてなる半導体装置において、ペレットの配線形成面をパッケージ基板の非対向面となるように取付けることによってペレットと基板の間に熱伝導効率の良好な部材を充填すること

3

とが可能となり、ペレットから基板に至る熱放出経路の断面積を広く確保することができるため、半導体装置の演算時に発生する熱を極めて効果的に除去することができるるのである。

また、ペレットの配線形成面がパッケージ基板の非対向面となるため、ペレットを基板に実装した状態のままでペレット上の配線不良等の検査を容易に行うことができるるのである。

【実施例1】

第1図は本発明による一実施例である半導体装置のペレットとマザーチップとの接続状態を示す拡大部分断面図である。

第2図は本発明による一実施例である半導体装置を示す断面図である。

本実施例の半導体装置1は、いわゆるガラス封止型半導体装置であり、アルミナ等からなるパッケージ基板2の中央部に複数のペレット3が搭載されているマザーチップ4が銀等のろう材5で取付けられており、該マザーチップ4はパッケージ基板2の周囲に低融点ガラス6で取付けられてい

4

るリード7と金等からなるワイヤ8によって電気的に接続されている。

さらに、該基板2の表面は低融点ガラス9を介してアルミナ等からなるキャシップ10によって気密封止が達成されており、一方パッケージ基板2の裏面にはアルミニウム等からなるヒートシンクとしての放熱フィン11がろう材12により取付けられている。

ここで、本実施例におけるペレット3とマザーチップ4との接続は以下の様になされている。

すなわち、ペレット3は配線形成面3-aがマザーチップ4の非対向面、第1図によれば上面となる状態で半田からなるパンプ電極13を介してマザーチップ4に取付けられている。

ここで、ペレット3には複数箇所で垂直方向にスルーホール14が形成され、該スルーホール14の壁面には酸化膜等の絶縁膜15が設けられており、さらにそのスルーホール14の中心部には導電材としてのポリシリコン16が充填され、該ポリシリコン16を介して配線形成面3-aとパン

ア電極13との電気的導通が達成されている。

また、ペレット3とマザーチップ4との隙間に半田17が充填されている。

このように本実施例によれば、配線形成面3aをマザーチップ4の非対向面、すなわち上面としたことによりペレット3とマザーチップ4との間に半田17を充填することができ、ペレット3に発生した熱の放熱経路を広く確保することができる。

その結果、ペレット3の熱をマザーチップ4、パッケージ基板2および放熱フィン11を介して効率良く外部に放出することができ半導体装置1の高熱化を防止することができる。

さらに、ペレット3の配線形成面3aがマザーチップ4の非対向面となっているため、ペレット3をマザーチップ4に取付けた状態のままで配線形成面3aの配線不良を検査することができる。

【実施例2】

第3図は本発明の他の実施例である半導体装置のペレットとマザーチップの接続状態を示す部分

断面図である。

本実施例による半導体装置は実施例1の半導体装置とほぼ同様のものであるが、ペレット3の配線形成面3aとバンプ電極13との電気的接続状態、およびペレット3とマザーチップ4との隙間の半田の充填状態のみ異なるものである。

すなわち、本実施例によればペレット3の配線形成面3aとバンプ電極13との電気的接続はペレット3の複数箇所で垂直方向に形成されたアルミニウムの拡散により形成された配線層18を介してなされている。

この配線層18はホトレジスト工程を経てアルミニウムを熱拡散させることにより形成されてなるものである。

また、ペレット3の裏面には、マザーチップ4との電気的接続を目的とした前記バンプ電極13以外の部分にダミーバンプ19が多段設けられている。

このように本実施例によれば、スルーホールを形成することなくペレット3の配線形成面3aと

7

バンプ電極13との電気的接続を可能にし、またダミーバンプ19により放熱経路を広く確保することができるため、実施例1同様、半導体装置の高熱化を防止することができるとともに、ペレット3をマザーチップ4に取付けた状態のままで配線形成面3aの配線不良を検査することができる。

【効果】

(1) ペレットの配線形成面をペレット取付板基板の非対向面となるように取付けることによって、ペレットとペレット取付基板との間に熱伝導率の良好な部材を充填することが可能となり、ペレットに発生した熱の放熱性を高め、半導体装置の高熱化を防止することができる。

(2) 前記(1)より、ペレットの配線形成面がペレット取付基板の非対向面となっているため、ペレットをペレット取付基板に実装したままの状態でペレット表面の配線不良を検査することができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しな

8

い範囲で種々変更可能であることはいうまでもない。

たとえば、ペレットとペレット取付基板の間に充填される熱伝導性良好な部材は半田に限らず、同様の性質をもつものであれば他のいかなるものであってもよい。

また半導体装置のパッケージ形状も実施例に示したものに限定されるものではなく、フリップチップ方式によるペレット実装が行われるパッケージ形状であればいかなるものであってもよい。

図面の簡単な説明

第1図は本発明による実施例1である半導体装置のペレットとマザーチップとの接続状態を示す拡大部分断面図。

第2図は本発明による実施例1である半導体装置を示す断面図。

第3図は本発明による実施例2である半導体装置のペレットとマザーチップの接続状態を示す部分断面図である。

1…半導体装置、2…パッケージ基板、

9

-243-

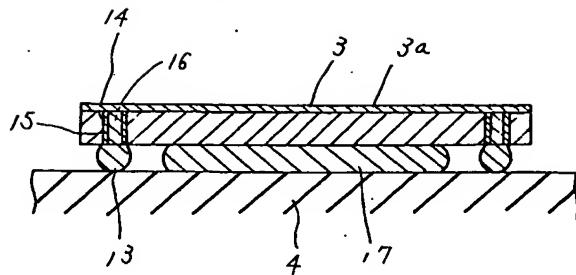
10

3 ……ベレット、3a ……配線形成面、4 ……マザーチップ、5 ……ろう材、6 ……低融点ガラス、7 ……リード、8 ……ワイヤ、9 ……低融点ガラス、10 ……キャップ、11 ……放熱フィン、12 ……ろう材、13 ……バンプ電極、14 ……スルーホール、15 ……絶縁膜、16 ……ポリシリコン、17 ……半田、18 ……配線層、19 ……ダミーバンプ。

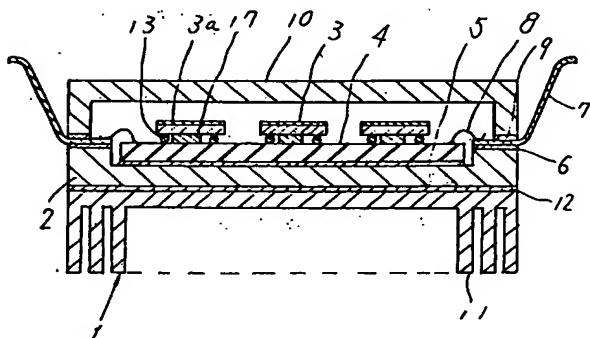
代理人 弁理士 高橋明夫



第 1 図



第 2 図



11

第 3 図

